

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Patent

Customer No. 31561
Application No.: 10/707,222
Docket No. 11794-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Wang et al.
Application No. : 10/707,222
Filed : November 27, 2003
For : SCRIBE LINE STRUCTURE OF WAFER
Examiner :
Art Unit : 2811

ASSISTANT COMMISSIONER FOR PATENTS

Arlington, VA22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.: 092132504, filed on: 2003/11/20.

A return prepaid postcard is also included herewith.

Respectfully Submitted,

JIANQ CHYUN Intellectual Property Office

Dated: April 13, 2004

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

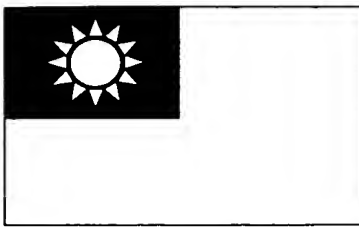
Please send future correspondence to:

7F.-1, No. 100, Roosevelt Rd.,

Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 11 月 20 日
Application Date

申請案號：092132504
Application No.

申請人：聯華電子股份有限公司
Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2004 年 3 月 2 日
Issue Date

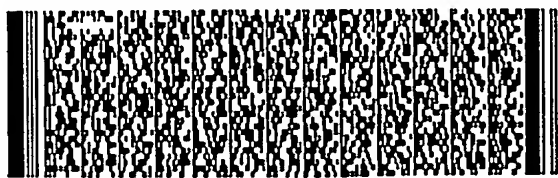
發文字號：09320196050
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	晶圓切割道的結構
	英文	SCRIBE LINE STRUCTURE OF WAFER
二、 發明人 (共4人)	姓名 (中文)	1. 王坤池 2. 陳國寶 3. 饒瑞孟
	姓名 (英文)	1. WANG, KUN-CHIH 2. CHEN, PAUL 3. JAO, JUI MENG
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中文)	1. 新竹市光復路二段503號9樓之1 2. 新竹市湳雅街187巷152弄10號 3. 苗栗縣苗栗市勝利里新東街166號
	住居所 (英文)	1. 9F.-1, NO. 503, SEC. 2, GUANGFU RD., HSINCHU CITY 300, TAIWAN R.O.C. 2. NO. 10, ALLEY 152, LANE 187, NANYA ST., HSINCHU CITY 300, TAIWAN
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 聯華電子股份有限公司 3. NO. 166, SINDONG ST., MIAOLI CITY, MIAOLI COUNTY 360, TAIWAN R.O.C.
	名稱或 姓名 (英文)	1. UNITED MICROELECTRONICS CORP.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹科學工業園區新竹市力行二路三號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. NO. 3, LI-HSIN RD. II, SCIENCE-BASED INDUSTRIAL PARK, HSINCHU, TAIWAN, R.O.C.
	代表人 (中文)	1. 曹興誠
	代表人 (英文)	1. TSAO, ROBERT H. C.

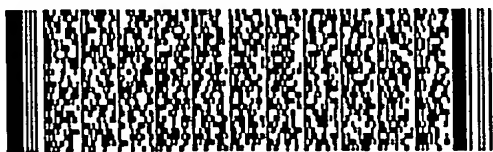


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共4人)	姓 名 (中文)	4. 郭建利
	姓 名 (英文)	4. KUO, CHIEN LI
	國 籍 (中英文)	4. 中華民國 TW
	住居所 (中 文)	4. 新竹市明湖路648巷102弄22號
	住居所 (英 文)	4. NO. 22, ALLEY 102, LANE 648, MING-HU RD., HSINCHU, TAIWAN, R. O. C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：晶圓切割道的結構)

一種晶圓切割道的結構，此切割道內配置有複數個塊狀圖案，且其係填滿切割道，以降低晶圓在切割過程中所承受之應力，避免晶圓發生剝層現象。這些塊狀圖案之可在金屬內連線製程中與金屬內連線一同形成，所以不會增加製程的複雜度。

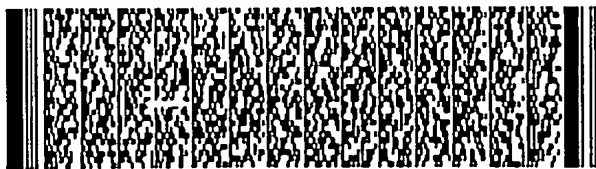
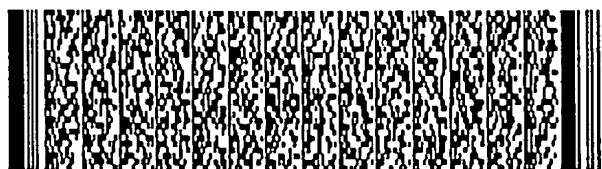
伍、(一)、本案代表圖為：第____5____圖

(二)、本案代表圖之元件代表符號簡單說明：

100：塊狀圖案 102：切割道 110：晶圓製程
或測試所需之圖案

六、英文發明摘要 (發明名稱：SCRIBE LINE STRUCTURE OF WAFER)

A wafer scribe line structure is provided. A plurality of lump patterns is set up to fill the entire scribe line area so that the amount of stress the wafer is subjected to during a dicing process is reduced, thereby reducing the probability of having a delamination at the interface of wafer layers. Moreover, the lump patterns can be formed simultaneously with metal



四、中文發明摘要 (發明名稱：晶圓切割道的結構)

六、英文發明摘要 (發明名稱：SCRIBE LINE STRUCTURE OF WAFER)

interconnects in a metal interconnect process.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得,不須寄存。



五、發明說明 (1)

發明所屬之技術領域

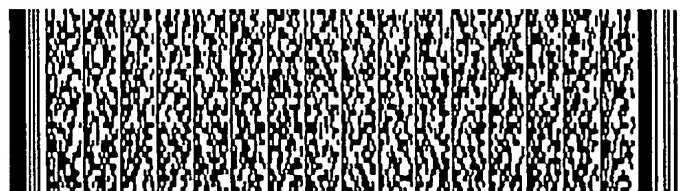
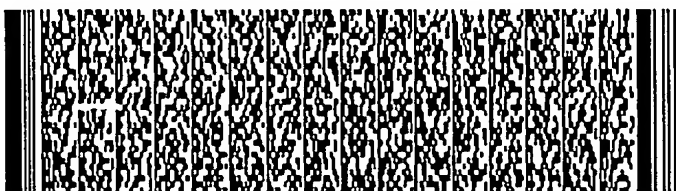
本發明是有關於一種半導體晶圓之結構，特別是有關於一種晶圓切割道的結構。

先前技術

積體電路(Integrated Circuits, IC)元件在日常生活當中，幾乎已達到無所不在的地步。然而，積體電路元件生產的流程非常複雜，其基本上包含IC設計、晶圓製造、晶圓測試及晶圓封裝(package)等四大階段，而約需經過數百個不同的步驟，耗時約一、兩個月的時間才得以完成。

由於現今半導體元件係建構於單晶矽晶圓(silicon wafer)上，為了量產及降低製造成本，晶圓直徑已由過去的四吋、五吋、六吋演變到現行的八吋，使得一片晶圓上能同時製作更多晶片。積體電路元件的製程主要分為三個階段：矽晶片的製造、積體電路的製作及積體電路元件的封裝(package)等。在積體電路的製作過程中，通常會在晶圓切割道上形成許多的監測用圖案，例如對準標記、監視/測量圖案、電性測試圖案以及產品編號等等。另外，封裝可說是完成積體電路成品的最後階段，其製程包括相當複雜的步驟，而第一步就是晶圓片切割(Die Saw)。

然而，切割道上的複雜的監測用圖案卻會使得切割道兩側的晶圓在切割製程中承受較大之應力，因而產生裂紋與剝層現象，其中剝層現象特別容易產生在低介電常數材料層與其他層的界面，這是因為低介電常數材料層與其他



五、發明說明 (2)

介電層或金屬層的附著力通常不佳之故。

發明內容

因此，本發明的目的就是在提供一種晶圓切割道的結構，可降低晶圓在切割製程中所需承受之應力。

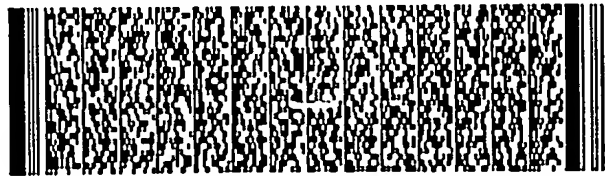
本發明的另一目的就是在提供一種晶圓切割道的結構，可避免晶圓在切割製程中產生長程裂紋及剝層現象。

為達上述之目的，本發明提出一種晶圓切割道的結構。此晶圓中包括有一低介電常數材料層，且切割道內的低介電常數材料層中配置有許多塊狀圖案。這些塊狀圖案的例如係由金屬層與金屬插塞兩者中之至少一者所構成，並可以週期性的錯位排列方式填滿切割道。

本發明還提出另一種晶圓切割道的結構，此結構之切割道內更包括有製程或測試所需之圖案，而區域內其他部分的低介電常數材料層中則配置有許多塊狀圖案。這些塊狀圖案的例如係由金屬層與金屬插塞兩者中之至少一者所構成，並可以週期性的錯位排列方式填滿切割道的其他部分。

由於本發明在晶圓的切割道內之低介電常數材料層中配置多個塊狀圖案，所以能夠降低晶圓在切割製程中所承受的應力，以避免在低介電常數材料層與其他層的界面處發生剝層現象。

為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。



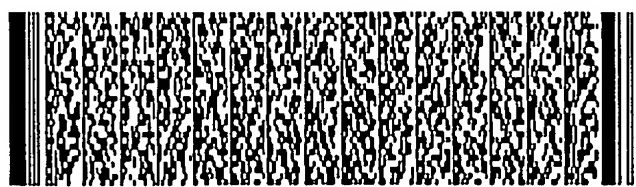
五、發明說明 (3)

實施方式

第1A圖係繪示本發明之一較佳實施例的晶圓切割道結構之上視圖，而第1B圖則係繪示此結構之A-A'剖面放大圖。請同時參照第1A圖及第1B圖，晶圓切割道的結構包括多個塊狀圖案100，其係配置在切割道102內的低介電常數材料層104中，並呈週期性之錯位排列，用以降低晶圓在切割製程中所承受的應力。其中，切割道102之寬度例如是110微米，而塊狀圖案100的形狀與大小可皆一致，且其上視形狀可以是正方形、矩形、菱形、三角形、圓形、五角形、六角形或是八角形等，但本實施例之圖示僅以正方形為例。此外，塊狀圖案100的形成方法例如是在金屬內連線的製程中，與金屬層或金屬插塞一同形成於低介電常數材料層104中，所以塊狀圖案100可由一對相連接之金屬層106與金屬插塞108所構成。而且，請參照第2A圖及第2B圖，塊狀圖案100亦可由單一之金屬插塞108或金屬層106所構成。

然而，本發明並未對構成塊狀圖案100之金屬層106與金屬插塞108的連接方式加以限定。請參照第3A圖及第3B圖，塊狀圖案100還可由多對金屬層106與金屬插塞108所構成，且各對金屬層106與金屬插塞108可以完全上下相連(3A)，也可以有中斷處(3B)。

在本發明之另一較佳實施例的晶圓切割道的結構中，除了低介電常數材料層中的塊狀圖案之外，切割道內更包括有製程或測試所需之圖案。以下將對本實施例作較詳細



五、發明說明 (4)

之說明，然而，在本實施例之圖示中，標號與上述實施例相同之元件，其形成方法與材質皆同於上述實施例之說明，故此處不再加以贅述。

請參照第4圖，切割道102內配置有製程或測試所需之圖案110以及塊狀圖案100。其中，圖案110例如是對準標記、製程監測/量測圖案、電性測試圖案或是產品辨識記號，且係配置在緊鄰切割道102的邊界線之處，其面積例如是 80×70 平方微米。另外，塊狀圖案100係配置在切割道102之其他部分的低介電常數材料層中，並呈週期性之錯位排列，而緊鄰圖案110之三邊。

此外，在本實施例中，亦可將製程或測試所需之圖案110配置在切割道102的中間，並使其四周為塊狀圖案100所包圍。請參照第5圖，塊狀圖案100係配置在製程或測試所需之圖案110以外的切割道102的區域中，並呈週期性之交替排列，而將圖案110包圍在其中。

如上所述，本發明之較佳實施例係在晶圓切割道上形成許多週期性錯位排列的塊狀圖案，所以可降低晶圓在切割製程中所承受之應力，而可防止晶圓在切割製程中產生長程裂紋與低介電常數材料層的剝層現象。而且，這些塊狀圖案可在金屬內連線製程中與金屬內連線一同形成，所以能夠在不增加製程複雜度的情形下，提高製程之良率。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護



五、發明說明 (5)

範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1A圖係繪示本發明之一較佳實施例的晶圓切割道結構之上視圖，且第1B圖係繪示該結構之A-A'剖面放大圖。

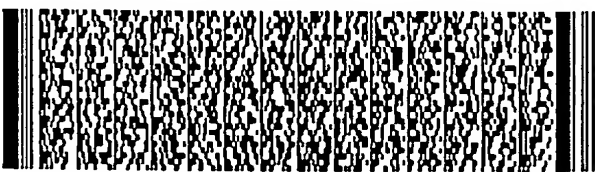
第2A、2B、3A、3B圖係繪示本發明之晶圓切割道結構之數個範例的剖面圖。

第4圖係繪示本發明另一較佳實施例的晶圓切割道結構之一例的上視圖。

第5圖係繪示本發明另一較佳實施例的晶圓切割道結構之另一例的上視圖。

圖式標示說明：

- 100：塊狀圖案
- 102：切割道
- 104：低介電常數材料層
- 106：金屬層
- 108：金屬插塞
- 110：製程或測試所需之圖案



六、申請專利範圍

1. 一種晶圓切割道的結構，該晶圓中包括一低介電常數材料層，且位於該切割道內的低介電常數材料層中配置有複數個塊狀圖案，該些塊狀圖案係大致填滿該切割道。

2. 如申請專利範圍第1項所述之晶圓切割道的結構，其中每一塊狀圖案的形狀大致相同。

3. 如申請專利範圍第2項所述之晶圓切割道的結構，其中每一塊狀圖案的形狀係選自至少由正方形、矩形、三角形、菱形、圓形、五角形、六角形與八角形所組成的族群。

4. 如申請專利範圍第1項所述之晶圓切割道的結構，其中該些塊狀圖案係呈週期性排列。

5. 如申請專利範圍第4項所述之晶圓切割道的結構，其中該些塊狀圖案係呈週期性之錯位排列。

6. 如申請專利範圍第1項所述之晶圓切割道的結構，其中每一塊狀圖案係由金屬層與金屬插塞二者中的至少一者所構成。

7. 如申請專利範圍第6項所述之晶圓切割道的結構，其中每一塊狀圖案係由至少一對相連的金屬層與金屬插塞所構成。

8. 如申請專利範圍第7項所述之晶圓切割道的結構，其中每一塊狀圖案係由上下排列的複數對金屬層與金屬插塞所構成，其中各對金屬層與金屬插塞皆相連。

9. 如申請專利範圍第7項所述之晶圓切割道的結構，其中每一塊狀圖案係由上下排列的複數對金屬層與金屬插



六、申請專利範圍

塞所構成，其中至少有兩對相近的金屬層與金屬插塞不相連。

10. 一種晶圓切割道的結構，該晶圓中包括一低介電常數材料層，且該切割道內包括該晶圓之製程或測試所需的至少一種圖案，其中位於該切割道內的該低介電常數材料層中配置有複數個塊狀圖案，該些塊狀圖案係大致填滿該至少一種圖案以外的該切割道。

11. 如申請專利範圍第10項所述之晶圓切割道的結構，其中該晶圓製程或測試所需之圖案係為該些塊狀圖案所包圍。

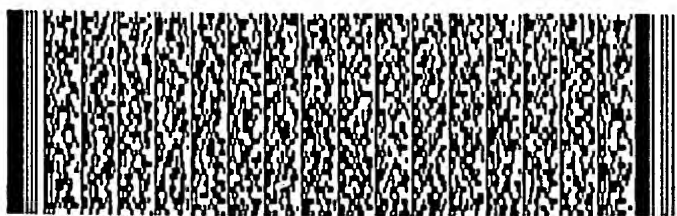
12. 如申請專利範圍第10項所述之晶圓切割道的結構，其中該晶圓製程或測試所需之圖案係鄰近該切割道的邊界，且該製程或測試所需之圖案與其所鄰近之切割道邊界之間並無該些塊狀圖案。

13. 如申請專利範圍第10項所述之晶圓切割道的結構，其中每一塊狀圖案的形狀大致相同。

14. 如申請專利範圍第13項所述之晶圓切割道的結構，其中每一塊狀圖案的形狀係選自至少由正方形、矩形、三角形、菱形、圓形、五角形、六角形與八角形所組成的族群。

15. 如申請專利範圍第10項所述之晶圓切割道的結構，其中該些塊狀圖案大致呈週期性排列。

16. 如申請專利範圍第15項所述之晶圓切割道的結構，其中該些塊狀圖案大致呈週期性之錯位排列。



六、申請專利範圍

17. 如申請專利範圍第10項所述之晶圓切割道的結構，其中每一塊狀圖案係由金屬層與金屬插塞二者中的至少一者所構成。

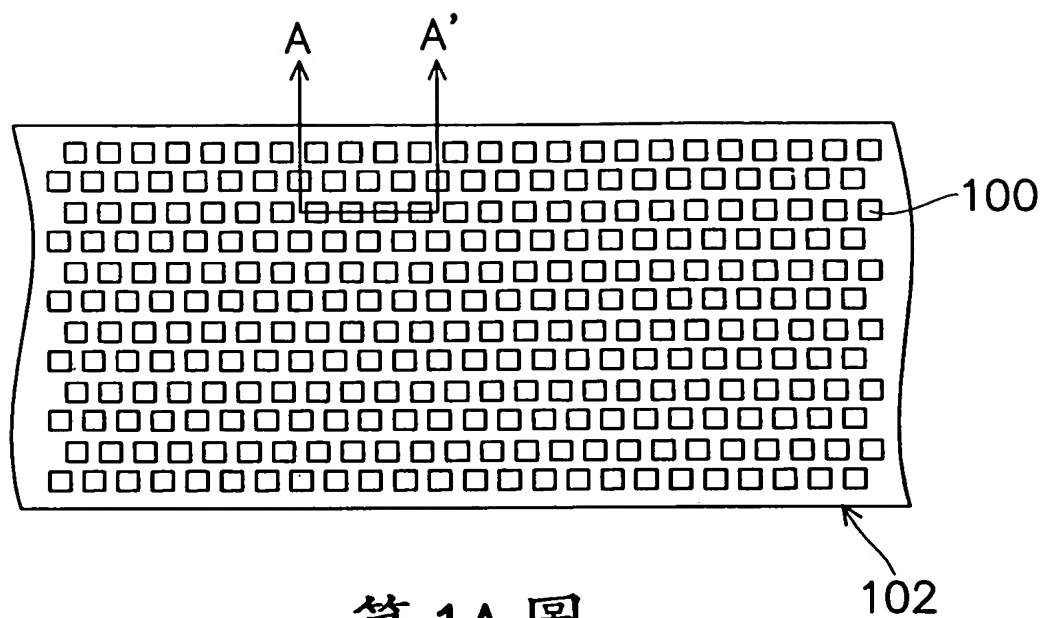
18. 如申請專利範圍第17項所述之晶圓切割道的結構，其中每一塊狀圖案係由至少一對相連的金屬層與金屬插塞所構成。

19. 如申請專利範圍第18項所述之晶圓切割道的結構，其中每一塊狀圖案係由上下排列的複數對金屬層與金屬插塞所構成，其中各對金屬層與金屬插塞皆相連。

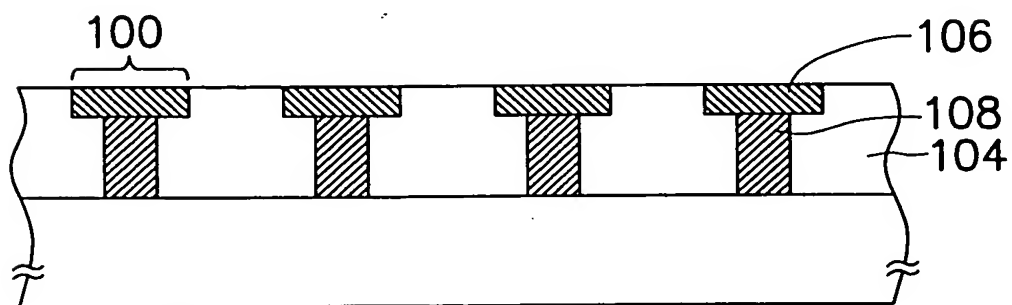
20. 如申請專利範圍第18項所述之晶圓切割道的結構，其中每一塊狀圖案係由上下排列的複數對金屬層與金屬插塞所構成，其中至少有兩對相近的金屬層與金屬插塞不相連。

21. 如申請專利範圍第10項所述之晶圓切割道的結構，其中該晶圓製程或測試所需之圖案係選自至少由對準標記、製程監測/量測圖案、電性測試圖案與產品辨識記號所組成之族群。

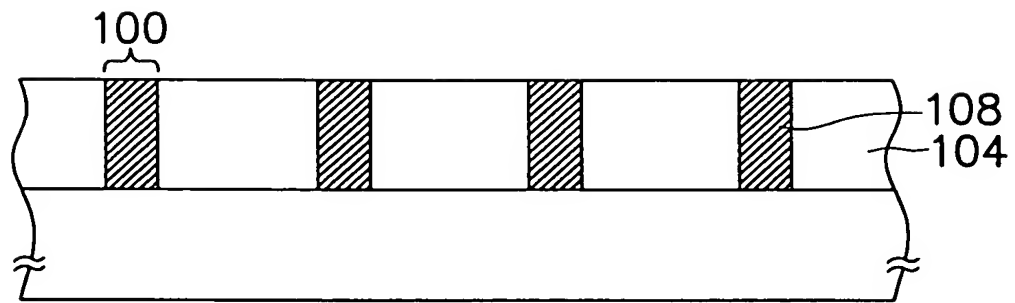




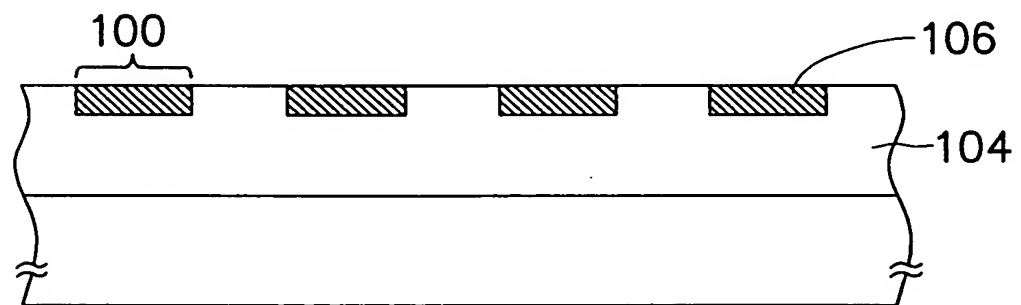
第 1A 圖



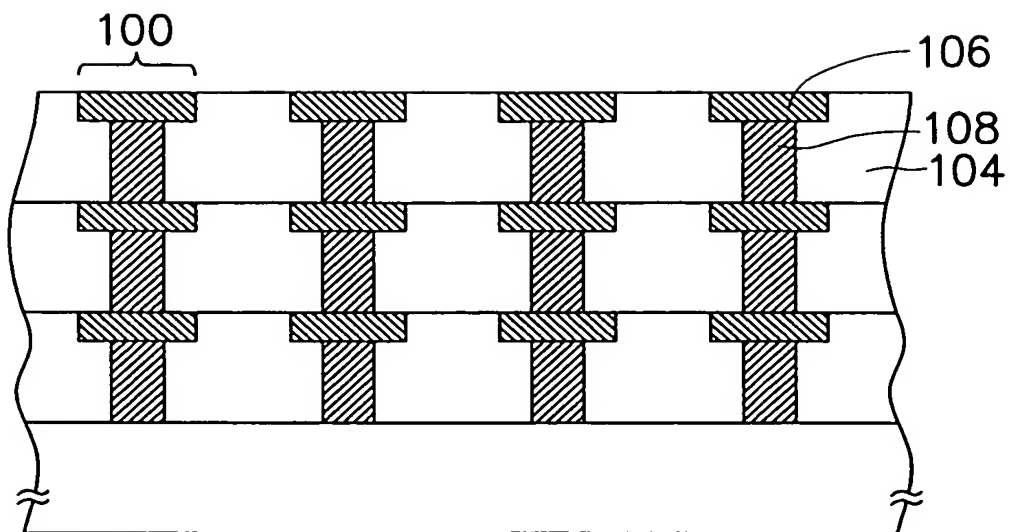
第 1B 圖



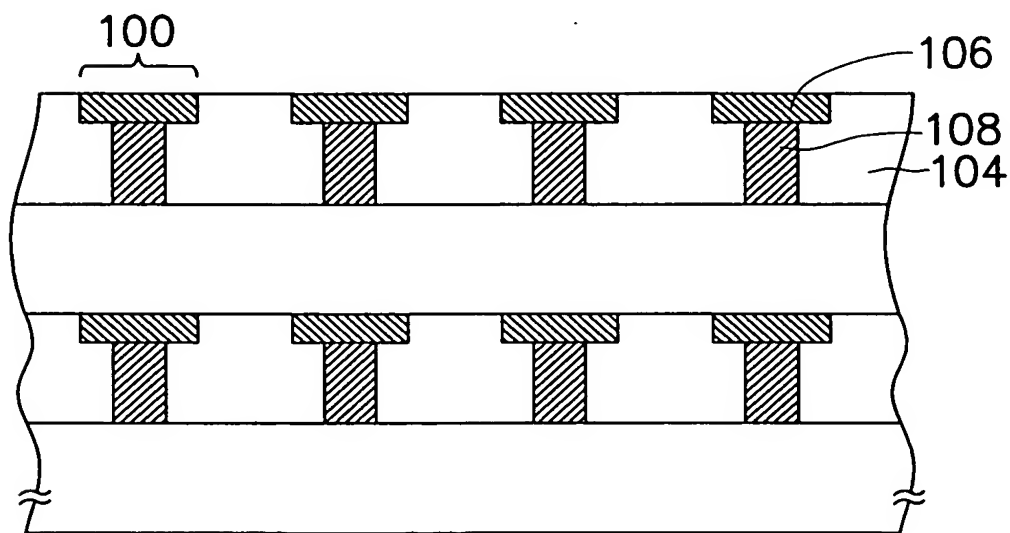
第 2A 圖



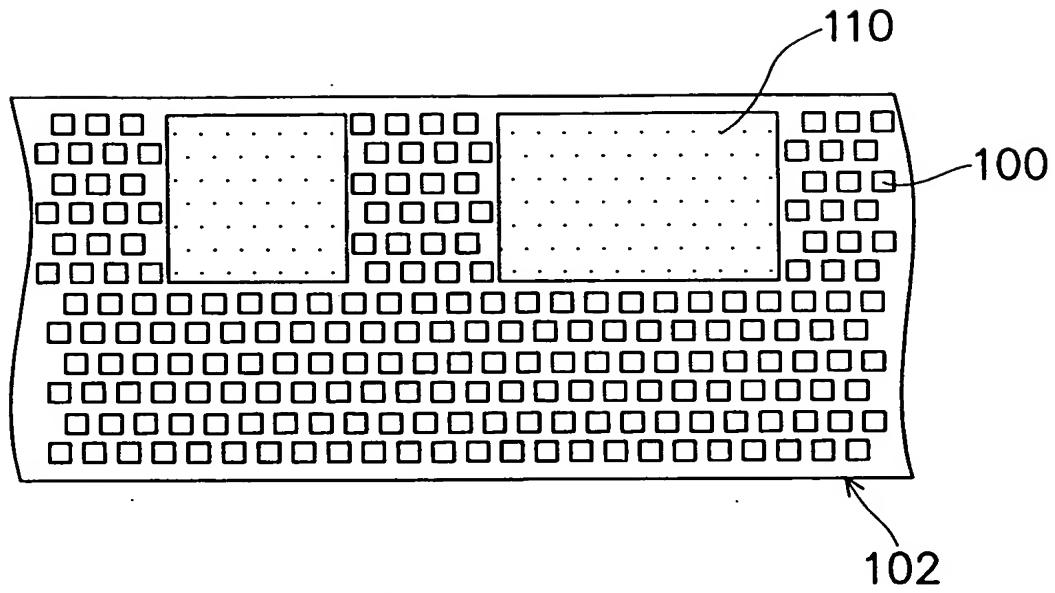
第 2B 圖



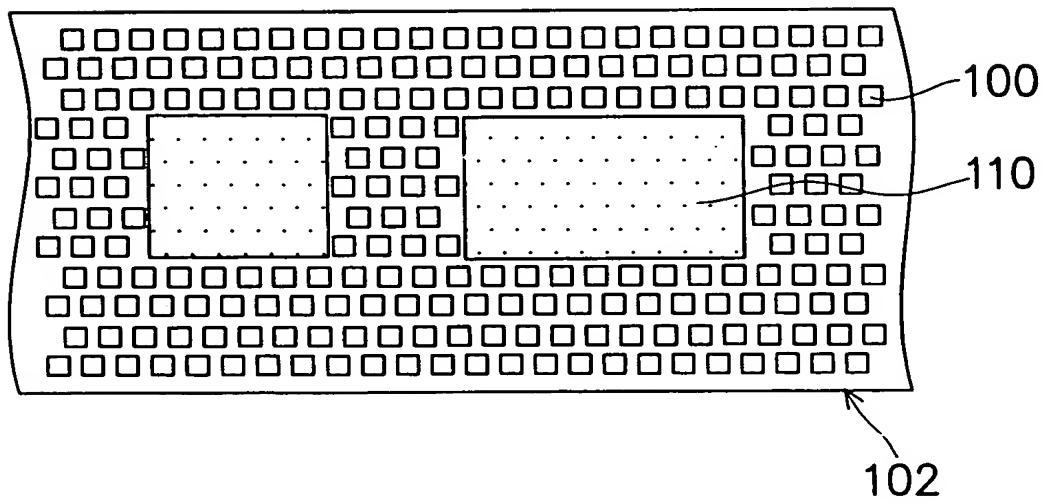
第 3A 圖








第 3B 圖





第 4 圖



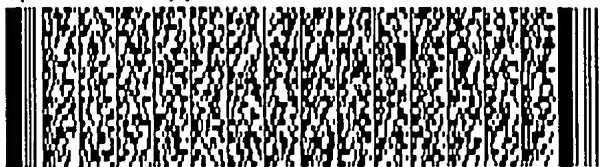
第 5 圖



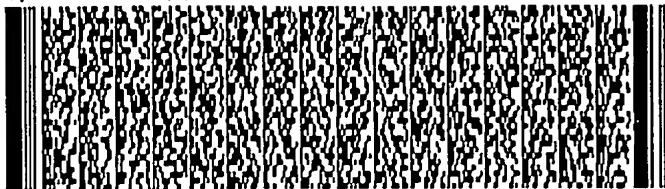
100



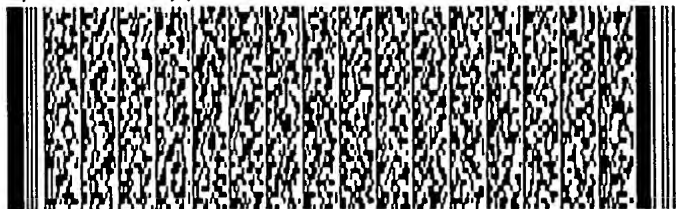
第 11/14 頁



第 12/14 頁



第 13/14 頁



第 14/14 頁

